

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shigeru SHOJI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: HIGH DENSITY INDUCTOR AND METHOD FOR PRODUCING SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-043829	February 21, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 1 日
Date of Application:

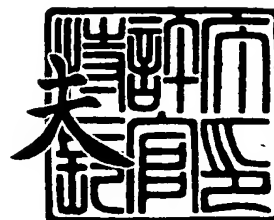
出 願 番 号 特 願 2 0 0 3 - 0 4 3 8 2 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 4 3 8 2 9]

出 願 人 T D K 株 式 会 社
Applicant(s):

2 0 0 3 年 1 2 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 04043

【あて先】 特許庁長官 殿

【国際特許分類】 H01F 41/04

【発明の名称】 高密度インダクタおよびその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 庄司 茂

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100064447

【弁理士】

【氏名又は名称】 岡部 正夫

【選任した代理人】

【識別番号】 100085176

【弁理士】

【氏名又は名称】 加藤 伸晃

【選任した代理人】

【識別番号】 100106703

【弁理士】

【氏名又は名称】 産形 和央

【選任した代理人】

【識別番号】 100096943

【弁理士】

【氏名又は名称】 臼井 伸一

【選任した代理人】

【識別番号】 100091889

【弁理士】

【氏名又は名称】 藤野 育男

【選任した代理人】

【識別番号】 100101498

【弁理士】

【氏名又は名称】 越智 隆夫

【選任した代理人】

【識別番号】 100096688

【弁理士】

【氏名又は名称】 本宮 照久

【選任した代理人】

【識別番号】 100102808

【弁理士】

【氏名又は名称】 高梨 憲通

【選任した代理人】

【識別番号】 100104352

【弁理士】

【氏名又は名称】 朝日 伸光

【選任した代理人】

【識別番号】 100107401

【弁理士】

【氏名又は名称】 高橋 誠一郎

【選任した代理人】

【識別番号】 100106183

【弁理士】

【氏名又は名称】 吉澤 弘司

【手数料の表示】

【予納台帳番号】 013284

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高密度インダクタおよびその製造方法

【特許請求の範囲】

【請求項 1】 渦巻形状からなるコイルと、このコイルに発生する磁力線の経路に倣うよう配置されるコア部材とを備えた高密度インダクタであって、前記コイルはその厚み方向に複数の配線層を積み重ねた形態からなり、これら配線層を薄膜形成プロセスにて形成したことを特徴とする高密度インダクタ。

【請求項 2】 前記配線層の線幅に対する前記コイルの厚みの比率は、少なくとも 1 以上であることを特徴とする請求項 1 に記載の高密度インダクタ。

【請求項 3】 渦巻形状からなるコイルを形成した後、このコイルをコア部材内に封止するとともに、前記コイルへの導通をなす端子電極を前記コア部材の外側に形成するようにした高密度インダクタの製造方法であって、前記コイルの形成は、薄膜形成プロセスによって配線層を形成した後、当該配線層の上層に前記薄膜形成プロセスによって新たな配線層を形成し、これら配線層の積み重ねを繰り返すことで行われることを特徴とする高密度インダクタの製造方法。

【請求項 4】 渦巻形状からなるコイルを形成した後、このコイルをコア部材内に封止するとともに、前記コイルへの導通をなす端子電極を前記コア部材の外側に形成するようにした高密度インダクタの製造方法であって、フォトリソグラフィによりレジストにコイル形状に倣う溝部を形成し、この溝部にメッキを析出させ配線層を形成した後、前記レジストを除去するとともに前記配線層を越える高さまで前記レジストを塗布し、再度フォトリソグラフィによって前記配線層の上部に前記溝部を形成した後は、この溝部内に新たな配線層を前記メッキの析出によって形成し、これら配線層の積み重ねを繰り返すことで所定の厚みの前記コイルを形成することを特徴とする高密度インダクタの製造方法。

【請求項 5】 渦巻形状からなるコイルを形成した後、このコイルをコア部材内に封止するとともに、前記コイルへの導通をなす端子電極を前記コア部材の外側に形成するようにした高密度インダクタの製造方法であって、フォトリソグラフィによりレジストにコイル形状に倣う溝部を形成し、この溝部にメッキを析出させ配線層を形成した後、次段の配線層厚みになるよう再度レジストを塗布する

とともに再度フォトリソエッチングによって前記配線層の上部に前記溝部を形成し、この溝部内に新たな配線層を前記メッキの析出によって形成し、これら配線層の積み重ねを繰り返すことで所定の厚みの前記コイルを形成することを特徴とする高密度インダクタの製造方法。

【請求項 6】 前記メッキの析出に変えてスパッタにて前記配線層を形成することを特徴とする請求項 4 または請求項 5 に記載の高密度インダクタの製造方法。

【請求項 7】 前記コイルをダミー基板上に形成し、その形態を保持しつつ前記コイルを前記コア部材内に挿入した後、前記ダミー基板の一部または全部を除去することで前記コイルを前記コア部材内に封止するようにしたことを特徴とする請求項 3 乃至請求項 6 のいずれか 1 に記載の高密度インダクタの製造方法。

【請求項 8】 前記コア部材内に有機または無機接着剤を注入し、この接着剤の硬化により前記コイルの固着と封止を行うことを特徴とする請求項 3 乃至請求項 7 のいずれか 1 に記載の高密度インダクタの製造方法。

【請求項 9】 前記コイルを封止した後、前記コイルの側端面に直接あるいは追加の絶縁層を介してコイルの電極取出部を形成することを特徴とする請求項 3 乃至請求項 8 のいずれか 1 に記載の高密度インダクタの製造方法。

【請求項 10】 前記コイルを封止した後、前記コイルの側端面を研磨にて平滑化するとともに、前記コイルの側端面に直接あるいは追加の絶縁層を介してコイルの電極取出部を形成することを特徴とする請求項 3 乃至請求項 8 のいずれか 1 に記載の高密度インダクタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子回路に使用されるインダクタとその製造方法に係り、特に基板上での高密度実装を可能にするため小型化を図るようにした高密度インダクタとその製造方法に関する。

【0002】

【従来の技術】

電子部品の1つであるインダクタには、電流エネルギーを蓄える性質があり、DC-DCコンバータや、スイッチング電源等に応用され、多くの電子機器に搭載されている。

【0003】

近年、携帯電話やPDA (Personal Digital Assistant) など電子機器の小型化・薄型化に伴いインダクタも小型・薄型化が要求されるようになってきた。

【0004】

従来のインダクタの構造、製造方法を以下に示す。

【0005】

図7aと図7bは、第1従来例に係るインダクタの斜視図である。

【0006】

これらの図に示すように第1従来例におけるインダクタ1は、断面が円形または矩形（あるいは三角形であってもよい）の電線2をコア（core）3に螺旋状に巻き付けた形態となっている。

【0007】

また図8aと図8bは、第2従来例に係るインダクタの製造過程を示す説明図である。第2従来例に係るインダクタでは、まず図8aに示すようにウェブ状の絶縁体と導電体5とを重ね合わせるとともに、これらを円柱形状のコア6に巻き付ける。そして前記コア6に絶縁体と導電体5を巻き付けた後は、図8bに示すように前記コア6の径方向にスライスし、インダクタ4を複数形成していく。

【0008】

ところで上述したインダクタにおいては、コアに導電体を巻き付けるという機械的な作業を要することから小型化・薄型化には限界がある。

【0009】

そこでインダクタ部品の小型化・薄型化を達成するため、蒸着やスパッタ等（いわゆる薄膜技術）で配線層を形成するとともに、この配線層をレジスト等でパターンニングしてコイルを形成する方法が提案されている。

【0010】

図9a～図9dは、薄膜技術を用いてコイルを形成する手順を示す製造工程図

である。まず図 9 a に示すように、基板 7 の表面に絶縁層を介して電極膜 8 を蒸着やスパッタ等で堆積させた後、前記電極膜 8 の上層側にスピコート等によってレジスト 9 を塗布する。そして図示しないマスクを用いてフォトリソエッチングを行い、図 9 b に示すようにレジスト 9 によるパターンニングを行う。そしてレジスト 9 によるパターンニングを行った後は、図 9 c に示すように蒸着やスパッタ、あるいはメッキの析出によって溝部 10 を塞ぎ、上方における余分な部分を研磨した後、図 9 d に示すようにレジスト 9 の除去を行うとともに、電極膜 8 をミリングやウェットエッチングにて除去し、コイル 11 を形成する。このように薄膜技術によって形成されたコイル 11 の外観を図 10 に示す。

【0011】

なお薄膜技術を適用したインダクタは、平面に対して厚さ方向の寸法が小さいため、同一のインダクタンスを持つ従来の巻線型コイルに比べ磁気回路が長くなる傾向がある。

【0012】

このような磁気回路が長くなることによるインダクタンスの効率（単位体積当たりのインダクタンス）の低下を防ぐため、コイルの空隙を出来るだけ狭くするとともに、コイルを出来るだけ厚くして、高アスペクトのコイルを形成する場合がある。例えば、数 100 mA 以上の電流を流すパワーインダクタでは、前記コイル 11 の高さを 50 nm、場合によっては 200 nm 以上の高アスペクト比にコイルを形成するようにしている。

【0013】

また上記の方法以外にも、シート基板の表面にメッキによって銅を自然成長させ、コイルを形成する方法も知られている。図 11 a ~ 11 d は、メッキを使用したコイルの形成手順を示す。まず図 11 a に示すように基板 7 の表面に絶縁層を介して電極膜 8 とレジスト 9 とを形成し、その後、フォトリソによってパターンニングを行う。このようにパターンニングを行った後は、図 11 b に示すように電極膜 8 を電極として溝部 10 内にコイルの形成材料（例えば銅材）を析出させ、これを自然成長させる。そして隣接する溝部 10 で成長するメッキ部材 12 同士が接触する直前でメッキ成長を停止させ、これらメッキ部材 12 同士の

間に短絡が生じるのを防止させた後は、図 11c に示すようにレジスト 9 を除去するとともに、図 11d に示すように電極膜 8 をミリングやウェットエッチングにて除去し、コイル 11 を形成する。

【0014】

さらにその他の製造方法として、コイル厚みに相当する導体膜を形成した後、この導体膜にエッチングを行い前記導体部に狭く深い溝を刻むことで、高アスペクト比のコイルを形成するものが知られている（例えば特許文献 1。）。

【0015】

あるいは、めっき下地薄膜層の露出部と、それに近接したポジ型ホトレジストマスクパターンの被覆部上に断面マッシュルーム状のコイル導体めっき層を膨成するものが知られている（例えば特許文献 2。）。

【0016】

また一方の基板上に形成された平面コイルと、その平面コイルと面対称になるように他方の基板上に形成された平面コイルとをコイル面同士が電氣的に接続されるように重ね合わされた構造のものが開示されている（例えば特許文献 3。）。

。

【0017】

【特許文献 1】

特開 2001-102235 号公報（【0066】）

【0018】

【特許文献 2】

特開平 11-204361 号公報【0008】）

【0019】

【特許文献 3】

【0020】

特開平 11-176639 号公報【請求項 1】）

【0021】

【発明が解決しようとする課題】

しかし上述した薄膜技術を使用したコイル、またはメッキの自然成長によって

コイルを形成する方法では、下記に示すような問題点があった。

【0022】

すなわち上述の薄膜技術を使用したコイルでは、上述の図9bに示すようにコイルの隙間となるレジスト9の幅（図中A寸法）に対し、レジスト9の厚み（図中B寸法）が大きな、いわゆるアスペクト比（具体的にはレジストアスペクトが3以上）が高い断面構造になっている。このためフォトエッチング後のレジストパターンが細長くなり、これに伴い強度が低下するので、メッキ液や洗浄水の水压等によって図12に示すようにレジスト9に倒れ込みや剥離が生じる場合があった。なお発明者による検討では、レジストアスペクトの値が5～7以上では歩留まり良く形成することが不可能であることが確認されている。

【0023】

さらに厚みが数10ミクロン以上のコイルを形成する場合において、前記コイルの線間（いわゆる渦巻コイルにおける径方向の隙間間隔）を狭めようとする露光装置の解像度を上げるために露光波長を短くしなければならない。しかし前記露光波長を短くすると今度は露光の焦点深度が浅くなり、垂直方向に深くコイルのパターンを形成することができないという問題が新たに発生する（反対に露光波長を長くすると露光の焦点深度は深くなるものの、解像度が低下するためコイルの線間を狭めることができなくなる）。

【0024】

また薄膜技術を使用したコイルにおいて、基板7を磁性基板とした場合では、コイルを直接絶縁層を介して磁路を形成し、最短の磁路を形成することができるため小型高密度化に適しているが、基板上にコイルに発生する磁力線の経路に倣うように配置されるリターン磁路部を必要とするので、基板面密度を上げられず、生産性を上げられないという問題がある。またフェライト等、加工の難易度が高い材料を基板に使用することは、コストアップの要因にもなる。

【0025】

一方、非磁性基板上にコイルを作り、コア材と組み合わせる場合は、シート厚みは剛性確保の見地から35～100 μ m程度必要である。このため、コイルの断面積に対するシートの断面積の割合が大きくなり、インダクタ内部におけるコ

イルの占有密度が低下するという問題がある。そしてこの占有密度の低下は、シートの厚みが変わらないためコイルが小型になるほど顕著になり、いずれも基板が磁路内で占有され、小型高密度の妨げとなってしまうという問題があった。

【0026】

一方、メッキの自然成長によってコイルを形成する方法では、メッキ成長速度を制御することでメッキ部材12間を10～20ミクロンまで狭めることができるものの、前記メッキ部材12は自然成長によって形成されるため、コイルアスペクト比を1以上にすることができなかった。このため同方法において、コイル11の厚みを増加させる場合には、図13に示すように基板7を薄いシート状にするとともに、このシート状の基板の背面側にも同様のコイル11を形成する方法が提案された。これによりコイル導電面積を増大させることが可能になる。

【0027】

しかし基板の両面にコイル11を形成する方法であっても、シート厚みは剛性確保の見地から35～100ミクロン程度必要である。このためコイルの断面積に対するシートの断面積の割合が大きくなり、インダクタ内部におけるコイルの占有密度が低下するという問題があった。そしてこの占有密度の低下は、シート厚みが変わらないためコイルが小型になる程顕著になる。

【0028】

また特開2001-102235号公報においては、上述した薄膜技術を使用したコイルと同様、パターンに倒れ込みや剥離が生じたり、露光波長に対する焦点深度の問題が生じるおそれがあった。

【0029】

そして特開平11-204361号公報では、マッシュルーム状にコイル導体めっき層を膨成させるので、アスペクト比の向上にも限界があり、本発明で達成できるようなアスペクト比を得ることは困難であった。

【0030】

さらに特開平11-176639号公報においては、コイルを重ね合わせることで、コイルのアスペクト比を向上させているものの、前記コイルの重ね合わせは一对だけであるので、上記と同様、本発明で達成できるようなアスペクト比を

得ることは困難であった。

【0031】

本発明は上記従来の問題点に着目し、高アスペクト比と小型化とを達成することができる高密度インダクタおよびその製造方法を提供することを目的とする。

【0032】

【課題を解決するための手段】

本発明は、アスペクト比の小さいコイルを薄膜技術によって作り出し、これを厚み方向に積み重ねていけば、最終的にアスペクト比の高いコイルを得ることができるという知見に基づいてなされたものである。

【0033】

すなわち本発明に係る高密度インダクタは、渦巻形状からなるコイルと、このコイルに発生する磁力線の経路に倣うよう配置されるコア部材とを備えた高密度インダクタであって、前記コイルはその厚み方向に複数の配線層を積み重ねた形態からなり、これら配線層を薄膜形成プロセスにて形成するよう構成した。そして前記配線層の線幅に対する前記コイルの厚みの比率は、少なくとも1以上であることが望ましい。

【0034】

また本発明に係る高密度インダクタの製造方法は、渦巻形状からなるコイルを形成した後、このコイルをコア部材内に封止するとともに、前記コイルへの導通をなす端子電極を前記コア部材の外側に形成するようにした高密度インダクタの製造方法であって、前記コイルの形成は、薄膜形成プロセスによって配線層を形成した後、当該配線層の上層に前記薄膜形成プロセスによって新たな配線層を形成し、これら配線層の積み重ねを繰り返すことで行われる手順とした。

【0035】

さらに詳細には、渦巻形状からなるコイルを形成した後、このコイルをコア部材内に封止するとともに、前記コイルへの導通をなす端子電極を前記コア部材の外側に形成するようにした高密度インダクタの製造方法であって、フォトリソグラフィによりレジストにコイル形状に倣う溝部を形成し、この溝部にメッキを析出させ配線層を形成した後、前記レジストを除去するとともに前記配線層を越える

高さまで前記レジストを塗布し、再度フォトエッチングによって前記配線層の上部に前記溝部を形成した後は、この溝部内に新たな配線層を前記メッキの析出によって形成し、これら配線層の積み重ねを繰り返すことで所定の厚みの前記コイルを形成する手順としたり、

あるいは渦巻形状からなるコイルを形成した後、このコイルをコア部材内に封止するとともに、前記コイルへの導通をなす端子電極を前記コア部材の外側に形成するようにした高密度インダクタの製造方法であって、フォトエッチングによりレジストにコイル形状に倣う溝部を形成し、この溝部にメッキを析出させ配線層を形成した後、次段の配線層厚みになるよう再度レジストを塗布するとともに再度フォトエッチングによって前記配線層の上部に前記溝部を形成し、この溝部内に新たな配線層を前記メッキの析出によって形成し、これら配線層の積み重ねを繰り返すことで所定の厚みの前記コイルを形成する手順とした。なお前記メッキの析出に変えてスパッタにて前記配線層を形成するようにしてもよい。

【0036】

このような手順を終えた後は、前記コイルをダミー基板上に形成し、その形態を保持しつつ前記コイルを前記コア部材内に挿入した後、前記ダミー基板の一部または全部を除去することで前記コイルを前記コア部材内に封止すればよく、その後は、前記コア部材内に有機または無機接着剤を注入し、この接着剤の硬化により前記コイルの固着と封止を行い、さらにその後は、前記コイルを封止した後、前記コイルの側端面に直接あるいは追加の絶縁層を介してコイルの電極取出部を形成するようにしたり、あるいは前記コイルを封止した後、前記コイルの側端面を研磨にて平滑化するとともに、前記コイルの側端面に直接あるいは追加の絶縁層を介してコイルの電極取出部を形成すればよい。

【0037】

上記構成によれば、薄膜形成プロセスを用いて形状を作り上げるので、コイル形状を小型に且つ正確に形成することが可能になる。このため前記コイルを取り込むコア部材、すなわちインダクタ自体も小型にすることが可能になる。

【0038】

ところでコイルは複数の配線層を積層させた形態となっているが、個々の前記

配線層では、配線幅に対する厚みの比率、すなわちアスペクト比を低く設定する。このように個々の配線層を薄膜プロセスによって形成する場合、レジスト倒壊、剥離等が起き難い値までにアスペクト比を低く設定すれば、溝部が形成されたレジストには傾きや倒れが生じることがないので、配線層を確実に形成することができる。そして薄膜形成プロセスを繰り返すことで低アスペクト比の前記配線層を積層させていけば、コイルの厚み寸法、すなわちアスペクト比の大きなコイルを最終的に形成することができる。

【0039】

このように薄膜形成プロセスによる配線層の積み重ねによってコイルを形成すれば、例えば当該コイルの中間部分にシート材などを介在させる必要がない。ゆえにコア部材の内部にはコイルだけを挿入することが可能になり、不要な部材が存在することがなく、この結果高密度のインダクタを形成することができる。そして前記コイルだけを挿入したことからインダクタ自体の小型化が図れるのはいうまでもない。

【0040】

さらに本発明は、ダミー基板上に形成したコイルをコア部材側に挿入した後、ダミー基板の除去や分離等の手段によってコイル単独の形態にする。そして前記コイルを閉磁路を形成するようにコア部材内に封止すれば、インダクタの小型高密度化を達成することが可能になり、前記インダクタの実装面積の低減化と、実装高さ寸法を小さくすることができる。また電極取出部の形成の際に、研磨にて平滑化処理を行えば、前記電極取出部をより正確に形成することができる。

【0041】

【発明の実施の形態】

以下に、本発明に係る高密度インダクタおよびその製造方法に好適な具体的実施の形態を図面を参照して詳細に説明する。

【0042】

図1 aは、本実施の形態に係る高密度インダクタの背面側斜視図であり、図1 bは、図1 aに示す同インダクタのAA断面図であり、図2は、図1 bにおける要部拡大図である。これらの図に示すように、本実施の形態に係る高密度インダ

クタ 2 0 は、当該インダクタ 2 0 の中央部分に配置されたコイル 2 2 と、当該コイル 2 2 を封止するためのコア部材とを有している。またインダクタ 2 0 の背面側には一対の接続用端子 2 4、2 6 が設けられており、図示しないプリント基板等への表面実装を可能にしている。

【 0 0 4 3 】

ここでコイル 2 2 は、配線層 2 8 をその厚み方向に複数積層させた形態からなり（本実施の形態においては 4 段）高いアスペクト比を達成するとともに、内径から外径に至るまで一定のピッチになるよう渦巻状に形成されている。なおこのようなコイル 2 2 は半導体等の製造に用いられる薄膜プロセスによって形成することが可能である。以下、前記薄膜プロセスを用いてコイル 2 2 を形成する手順を説明する。

【 0 0 4 4 】

図 3 a ～図 3 o は、コイルを形成するための第 1 の方法を示す製造工程図である。まず図 3 a に示すように、コイル 2 2 を形成するための土台となる基板 3 0 の表面に絶縁層 3 2 を形成し、次いで図 3 b に示すように前記絶縁層 3 2 の上層に後述するメッキ析出用の下地電極膜 3 4 を蒸着またはスパッタ等によって堆積させる。そして下地電極膜 3 4 を形成させた後は、図 3 c に示すように前記下地電極膜 3 4 の上層にレジスト（感光性樹脂）3 6 を一定の厚みで塗布する。なお前記レジスト 3 6 の塗布厚みはコイル 2 2 を構成する各配線層 2 8 に対応する寸法に設定すればよく、さらに塗布厚みを一定にする目的から、前記レジスト 3 6 をスピコートによって塗布することが望ましい。

【 0 0 4 5 】

このようにレジスト 3 6 を一定の厚みで塗布した後は、このレジスト 3 6 の表面にステッパ装置等によって紫外線を照射し、その後フォトリソグラフィによってコイル 2 2 の平面形状となる溝部 3 8 をレジスト 3 6 に形成する。この状態を図 3 d に示す。その後、基板 3 0 をメッキ液に浸漬させるとともに、前記下地電極膜 3 4 を片側電極として電圧を印加すれば、図 3 e に示すように下地電極膜 3 4 が底部に露出する溝部 3 8 にはメッキが析出され、前記溝部 3 8 はメッキ部材 4 0 によって埋められる。そして溝部 3 8 がメッキ部材 4 0 によって埋められた後

、溝部 38 を形成するレジスト 36 を除去すれば、コイル 22 の平面形状を有した配線層 28 が形成される。

【0046】

次いで配線層 28 の上層に新たな配線層を形成する手順を説明する。なお本実施の形態では、積層される配線層は全て同一の厚みに設定されることから同一の番号を付与して説明を行うものとする。

【0047】

まず図 3 g に示すように、基板 30 に最下層となる配線層 28 を形成した後は、再び下地電極膜 34 の上層にレジスト 36 を図 3 c と同様に塗布する。なお図 3 c と異なるのはレジスト 36 の塗布高さであり、図 3 g においてはレジスト 36 の膜厚を配線層 28 を 2 段に積層させた際の高さに対応するように設定すればよい。こうしてレジスト 36 をあらかじめ設定した高さまで塗布した後は、図 3 d ～図 3 f と同様、図 3 h ～図 3 j に示すように、フォトリソングによって溝部 38 が形成されたレジスト 36 を用いて新たな配線層 28 （2 層目）を形成すればよい。

【0048】

こうして新たな配線層 28 を形成した後は、図 3 k に示すように新たにレジストを塗布し、その高さは配線層 28 を 3 段に積層させた際の高さに対応するように設定すればよく、そして図 3 d ～図 3 f や、図 3 h ～図 3 j と同様、図 3 l から図 3 m に示すように、フォトリソングによって溝部 38 が形成されたレジスト 36 を用いて新たな配線層 28 （3 層目）を形成すればよく、さらに図 3 n に示すようにレジスト 36 の除去後は、図 3 o に示すように露出する下地電極膜 34 をエッチング等で除去すればよい。

【0049】

図 4 a ～図 4 m は、コイルを形成するための第 2 の方法を示す製造工程図である。なお本方法においては、上述した第 1 の方法と同一の箇所には同一の番号を用いることとする。

【0050】

本方法における図 4 a ～図 4 e は、上述した図 3 a ～図 3 e の工程と共通であ

り、これら製造工程によって基板 30 の表面に絶縁層 32, 下地電極膜 34 を介して、レジスト 36 を塗布するとともに、このレジスト 36 にフォトリソングによって溝部 38 を形成し、その後、前記溝部 38 内にメッキ液からの析出によってメッキ部材 40 を形成する。

【0051】

そして溝部 38 内にメッキ部材 40 を形成した後は、レジスト 36 を加熱したり、あるいは前記レジスト 36 の表面をポリビニルアルコール等の薄膜で覆い、さらに上層に塗布されるレジストとの混合が発生しないようにする（塗布レジストの溶媒で下地レジストの表面が溶解し、その一部がコイル上を覆い、スカム等の発生によりメッキ部材に悪影響を及ぼすのを防止するため）。そして図 4 f に示すように、レジスト 36 およびメッキ部材 40 の上層に新たなレジスト 42 を塗布する。なお新たに塗布するレジスト 42 の塗布厚みは、コイル 22 を構成する各配線層 28 に対応した寸法に設定すればよい。次いで図 4 g に示すようにレジスト 42 に対しフォトリソングによって溝部 38 を形成した後、図 4 h に示すように前記溝部 38 内にメッキ液からの析出によって 2 層目となるメッキ部材 40 を形成する。

【0052】

溝部 38 内に 2 層目のメッキ部材 40 を形成した後は、図 4 i に示すように、レジスト 42 およびメッキ部材 40 の上層に新たなレジスト 44 を塗布する。そして図 4 j および図 4 k に示すようにフォトリソング工程と析出工程を行い、溝部 38 に 3 層目となるメッキ部材 40 を形成する。

【0053】

このように 3 層目となるメッキ部材 40 を形成した後は、図 4 l と図 4 m に示すように、レジスト 36、レジスト 42、レジスト 44 を一括で除去し、その後は、エッチング等によって露出する下地電極膜 34 を除去すればよい。

【0054】

このように上述した製造方法では、個々の配線層 28 おける線幅に対する高さ（厚み）の比率、すなわちアスペクト比が小さいが、これら配線層 28 を複数段に積み上げることで、アスペクト比の高いコイル 22 を形成することが可能にな

る。さらに配線層はフォトエッチングによって形成されるので、その形成精度はミクロン単位となる。このため線間ピッチの狭い小型で高密度の配線層を形成することが可能になる。

【0055】

なお上述したコイル22は薄膜プロセスによって製造されることから、前記コイル22は基板30の表面に複数形成される。このように一回の製造プロセスによって多数のコイル22を製造することができるのも本製造方法の利点である。この大量生産によってコイル22の製造コストを低減させることができる。

【0056】

ここで発明者は、本発明の効果を確認するため実験を行った。この実験結果を実施例として以下に示す。

(実施例)

導電下地を有する基板上にコイルパターンを形成する。例えば導電部40 μm 幅、コイルスペース部10 μm 幅のコイルパターンを形成する際、レジストパターン幅は10 μm である。このレジスト幅でメッキ中も幅が変化せず安定して倒れない高さは、およそ40 μm 以下である。パターン上下でレジスト幅10 \pm 2 μm の解像度を保証するために360nmの露光波長を用いる。

【0057】

このようにして40 μm コイル幅、スペース10 μm の1層目のコイルを形成する。

【0058】

このとき上述の基板内に1層目のコイルが倒壊したりせず正常に形成されたものは(歩留まり率が)100%であった。

【0059】

次いで2層目のパターンをこの上に形成する。130℃で1時間パターンレジストを処理し、40 μm のレジストを塗布し、レジスト幅10 μm となるようにパターンを露光現像しメッキを行った。

【0060】

このようにして1層目と2層目のコイルを積層して形成したとき、スペースが

10 μm で、コイル高さが80 μm のハイアスペクトコイルがほぼ100%の歩留まりで形成できた。

【0061】

同様にして3層目のパターンをこの上に形成する130℃で1時間パターンレジストを処理し、40 μm のレジストを塗布し、レジスト幅10 μm となるようにパターンを現像しメッキを行った。

【0062】

このようにして1層目と2層目と3層目のコイルを積層して形成したとき、スペースが10 μm で、コイル高さが120 μm のハイアスペクトコイルが95%以上の歩留まりで形成できた。

【0063】

今度は、レジストの厚みを上記の2倍、すなわち80 μm に設定して、コイル幅パターンを形成した。

【0064】

80 μm のメッキを行い、10 μm のレジストパターンを形成し、メッキ後、レジストを剥離し、その状態を観察したところレジスト倒壊等の影響でコイルの歩留まり率は65%以下であった。

【0065】

さらにレジストの厚みを120 μm に設定して、塗布、露光、現像しパターンニングを行ったがレジストが倒壊せずにパターンを形成することができず、コイルの歩留まり率は0%であった。

【0066】

これらの結果から高アスペクト、高密度薄膜コイルを追求する要素技術では、本発明のコイル構造、ならびにコイルの製造方法が必須となることが確認された。

【0067】

ここで基板30の表面にコイル22を複数形成した後、当該コイル22をコア部材内に封止し、製品となるインダクタを作り上げる手順を説明する。

【0068】

図5 a～図5 j は、インダクタの製造工程図であり、図6 a～図6 h は、各製造工程における要部拡大図である。

【0069】

まず図5 aに示すように、基板30上に上述した方法を用いてコイル22を形成した後は、前記基板30を切断し前記コイル22が一行に配置されたコイルバー46を形成する。ここで基板30からコイルバー46を切り出した状態を図5 bに示すとともに、図6 aに、コイルバー46上に形成されたコイル22単体の拡大図を示す。

【0070】

そして基板30からコイルバー46を切り出した後は、図5 cおよび図6 bに示すように、コイルバー46を裏返すとともに、当該コイルバー46の下方に配置されたコア部材の一部となる（切り出し前の）Eコア48に対しコイル22を挿入する。ここで前記Eコア48は、透磁率の高いフェライトで構成されており、その中央部にはコイル22を取り込むだけの内径および深さを備えた凹部50が形成されるとともに、当該凹部50の中央部には、コイル22の中央部を挿通できるだけの外径を有したボス52が形成されている。なおボス52の外径は、コイル22に発生する磁束53が十分通過できるだけの径に設定される（磁束経路は図1 bを参照）。

【0071】

そしてこのように形成されたEコア48内にコイル22を挿入する際、前記凹部50内に熱硬化性の接着剤をあらかじめ充填させておき、この充填された前記接着剤の中に前記コイル22を浸漬させるようにする。当該コイル22を接着剤に浸漬させるようコイルバー46をEコア48に貼り合わせた状態を図5 dおよび図6 cに示す。そしてコイルバー46をEコア48に貼り合わせた状態で真空加熱を行えば、接着剤中の気泡を外部に抜き出すことができるとともに前記接着剤を硬化させることが可能になる。

【0072】

前記接着剤を硬化させ、コイルバー46をEコア48に貼り合わせた後は、図5 eおよび図6 dに示すように基板30の背面側から研磨を行い、コイル22の

端面を露出させる。そして研磨によりコイル 22 の端面を露出させた後は、図 5 f および図 6 e に示すようにコイル 22 の端面が露出する研磨面に絶縁部材を塗布し、スペーサ層 54 を形成するとともに、このスペーサ層 54 にエッチング等によってコイル 22 の両端部に該当する位置に穴 56 を形成する。

【0073】

スペーサ層 54 に穴 56 を形成した後は、当該穴 56 から露出するコイル 22 の端面にニッケルメッキ等を施し、酸化被膜の発生を防止する。そしてこの上層に図 5 g および図 6 f に示すように半田ボール 58 を搭載し、その後リフロー工程を通過させることで前記半田ボール 58 を熔融させ、熔融後の半田によって穴 56 を埋め、電極取出部を形成する。

【0074】

このようにスペーサ層 54 に形成された穴 56 に半田を埋め込み、コイル 22 への導通を図った後は、図 5 h および図 6 g に示すように、E コア 48 と同様、コア部材を構成するフェライト製のカバー 60 をスペーサ層 54 の上層に貼り合わせる。なおカバー 60 に形成された一对の窪み 62 は、その端面から半田が埋め込まれた穴 56 に達するまでの寸法（図 6 g の C 寸法を参照）に設定されている。なお、この窪み 62 の内側はあらかじめメッキやスパッタ等で Cu/Ni あるいは半田などの金属膜を付けておく。そして図 5 i および図 6 h に示すように、前記窪み 60 に半田を埋め込み、リフロー工程に投入することで接続用端子 24、26 を形成し、E コア 48 とカバー 58 とによって封止されたコイル 22 への電氣的導通を図れるようにし、その後は図 5 j に示すようにカッター等によって個片化を行い、本発明に係る高密度インダクタ 20 を形成する。

【0075】

このような工程を経て製造された高密度インダクタ 20 は、図 1 b に示すように凹部 50 内にコイル 22 だけを配置することが可能であり、低抵抗値で発熱の小さなインダクタ 20 をより小型に形成することができる。また基板 30 を研磨により除去することでインダクタの部品高さを低くすることが可能になる。

【0076】

よって本発明に係る高密度インダクタは、より小型化や軽量化が要求される携

帯機器やその他の機器に対しても十分に対応することができる。

【0077】

【発明の効果】

以上説明したように本発明によれば、渦巻形状からなるコイルと、このコイルに発生する磁力線の経路に倣うよう配置されるコア部材とを備えた高密度インダクタであって、前記コイルはその厚み方向に複数の配線層を積み重ねた形態からなり、これら配線層を薄膜形成プロセスにて形成したり、

あるいは渦巻形状からなるコイルを形成した後、このコイルをコア部材内に封止するとともに、前記コイルへの導通をなす端子電極を前記コア部材の外側に形成するようにした高密度インダクタの製造方法であって、前記コイルの形成を、薄膜形成プロセスによって配線層を形成した後、当該配線層の上層に前記薄膜形成プロセスによって新たな配線層を形成し、これら配線層の積み重ねを繰り返すことで行うようにしたので、アスペクト比の高いコイルを形成することが可能になる。そしてコイルが形成されるダミー基板をインダクタ形成時に除去し、コイルのみをコア部材の内部に収めるようにしたのでインダクタ自体の小型化・高密度化が達成できる。

【0078】

さらにコイルのリード引き出しパターンをコイル封止後のダミー基板除去工程面に形成でき、前記コイルへの導通をなす端子電極を前記コア部材の外側に形成するようにしたので、全体の小型化に寄与することができる。ところでインダクタの薄さが第1に求められる場合には、コイルを1層で製作する場合もある。このような場合では、基板除去による小型化が可能であるとともに、コイルの高密度形成と、コスト低減が達成できる。

【図面の簡単な説明】

【図1a】

本実施の形態に係る高密度インダクタの構造を示す断面説明図である。

【図1b】

本実施の形態に係る高密度インダクタの構造を示す断面説明図である。

【図2】

図 1 における要部拡大図である。

【図 3 a】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 3 b】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 3 c】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 3 d】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 3 e】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 3 f】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 3 g】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 3 h】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 3 i】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 3 j】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 3 k】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 3 l】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 3 m】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 3 n】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 3 o】

コイルを形成するための第 1 の方法を示す製造工程図である。

【図 4 a】

コイルを形成するための第 2 の方法を示す製造工程図である。

【図 4 b】

コイルを形成するための第 2 の方法を示す製造工程図である。

【図 4 c】

コイルを形成するための第 2 の方法を示す製造工程図である。

【図 4 d】

コイルを形成するための第 2 の方法を示す製造工程図である。

【図 4 e】

コイルを形成するための第 2 の方法を示す製造工程図である。

【図 4 f】

コイルを形成するための第 2 の方法を示す製造工程図である。

【図 4 g】

コイルを形成するための第 2 の方法を示す製造工程図である。

【図 4 h】

コイルを形成するための第 2 の方法を示す製造工程図である。

【図 4 i】

コイルを形成するための第 2 の方法を示す製造工程図である。

【図 4 j】

コイルを形成するための第 2 の方法を示す製造工程図である。

【図 4 k】

コイルを形成するための第 2 の方法を示す製造工程図である。

【図 4 l】

コイルを形成するための第 2 の方法を示す製造工程図である。

【図 4 m】

コイルを形成するための第 2 の方法を示す製造工程図である。

【図 5 a】

インダクタの製造工程図である。

【図 5 b】

インダクタの製造工程図である。

【図 5 c】

インダクタの製造工程図である。

【図 5 d】

インダクタの製造工程図である。

【図 5 e】

インダクタの製造工程図である。

【図 5 f】

インダクタの製造工程図である。

【図 5 g】

インダクタの製造工程図である。

【図 5 h】

インダクタの製造工程図である。

【図 5 i】

インダクタの製造工程図である。

【図 5 j】

インダクタの製造工程図である。

【図 6 a】

各製造工程における要部拡大図である。

【図 6 b】

各製造工程における要部拡大図である。

【図 6 c】

各製造工程における要部拡大図である。

【図 6 d】

各製造工程における要部拡大図である。

【図 6 e】

各製造工程における要部拡大図である。

【図 6 f】

各製造工程における要部拡大図である。

【図 6 g】

各製造工程における要部拡大図である。

【図 6 h】

各製造工程における要部拡大図である。

【図 7 a】

第 1 従来例に係るインダクタの斜視図である。

【図 7 b】

第 1 従来例に係るインダクタの斜視図である。

【図 8 a】

第 2 従来例に係るインダクタの製造過程を示す説明図である。

【図 8 b】

第 2 従来例に係るインダクタの製造過程を示す説明図である。

【図 9 a】

薄膜技術を用いてコイルを形成する手順を示す製造工程図である。

【図 9 b】

薄膜技術を用いてコイルを形成する手順を示す製造工程図である。

【図 9 c】

薄膜技術を用いてコイルを形成する手順を示す製造工程図である。

【図 9 d】

薄膜技術を用いてコイルを形成する手順を示す製造工程図である。

【図 1 0】

薄膜技術によって形成されたコイルの外観図である。

【図 1 1 a】

メッキを使用したコイルの形成手順を示す。

【図 1 1 b】

メッキを使用したコイルの形成手順を示す。

【図 1 1 c】



メッキを使用したコイルの形成手順を示す。

【図 1 1 d】

メッキを使用したコイルの形成手順を示す。

【図 1 2】

レジストに倒れ込みや剥離が生じた状態を示した説明図である。

【図 1 3】

基板の両側にコイルを形成した断面説明図である。

【符号の説明】

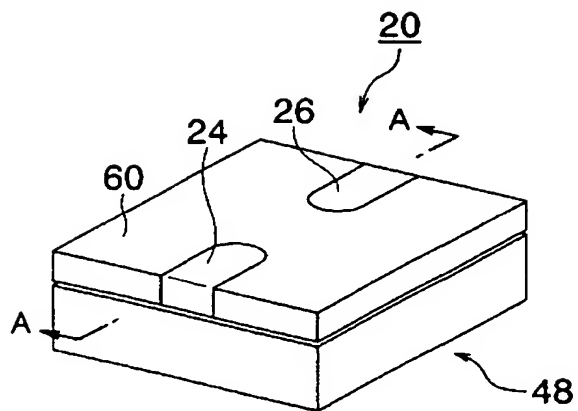
- 1 …… インダクタ
- 2 …… 電線
- 3 …… コア
- 4 …… インダクタ
- 5 …… 絶縁体と導電体
- 6 …… コア
- 7 …… 基板
- 8 …… 電極膜
- 9 …… レジスト
- 1 0 …… 溝部
- 1 1 …… コイル
- 1 2 …… メッキ部材
- 2 0 …… 高密度インダクタ
- 2 2 …… コイル
- 2 4 …… 接続用端子
- 2 6 …… 接続用端子
- 2 8 …… 配線層
- 3 0 …… 基板
- 3 2 …… 絶縁層
- 3 4 …… 下地電極膜
- 3 6 …… レジスト



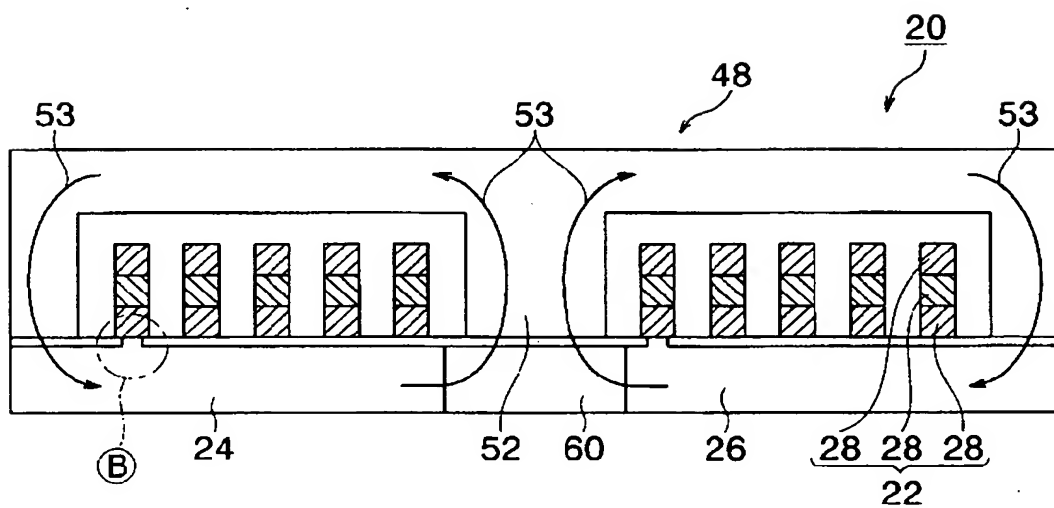
3 8溝部
4 0メッキ部材
4 2レジスト
4 4レジスト
4 6コイルバー
4 8E コア
5 0凹部
5 2ボス
5 3磁束
5 4スペーサ層
5 6穴
5 8半田ボール
6 0カバー
6 2窪み

【書類名】 図面

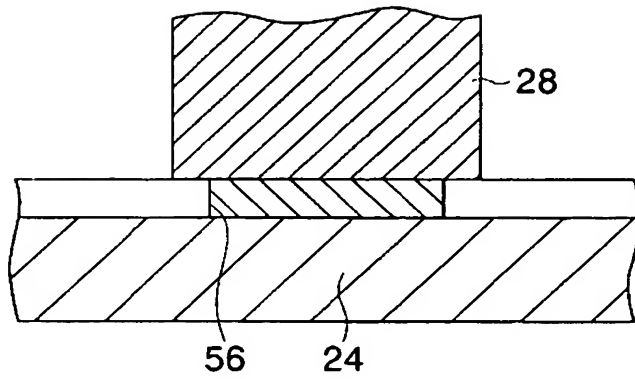
【図 1 a】



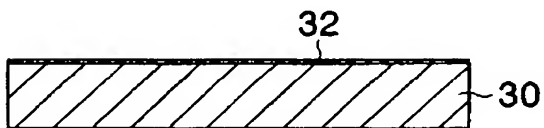
【図 1 b】



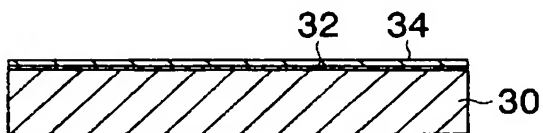
【図 2】



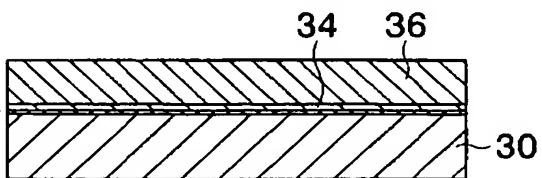
【図 3 a】



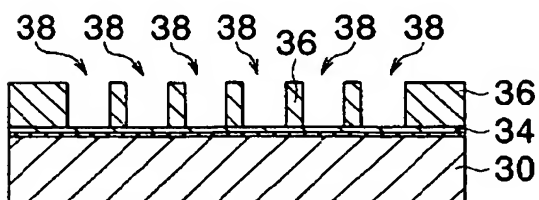
【図 3 b】



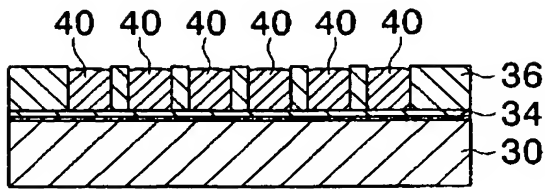
【図 3 c】



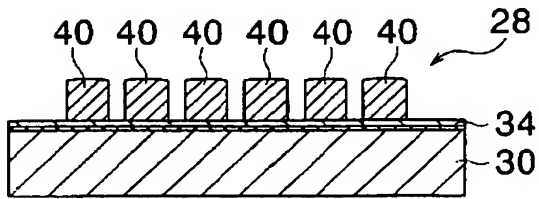
【図 3 d】



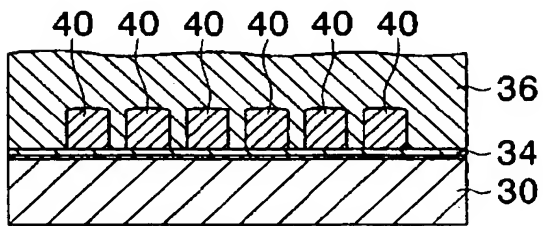
【図 3 e】



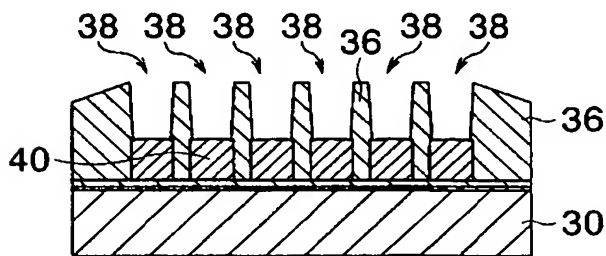
【図 3 f】



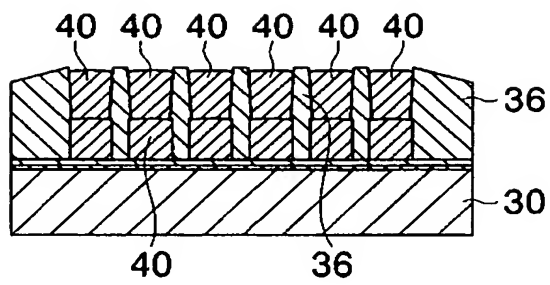
【図 3 g】



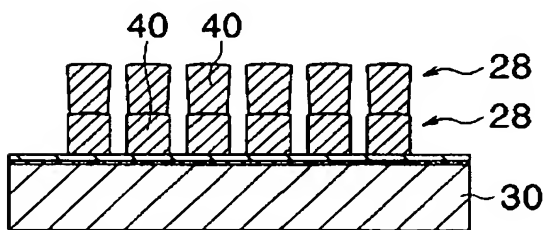
【図 3 h】



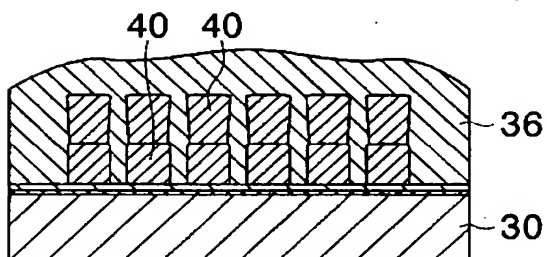
【図 3 i】



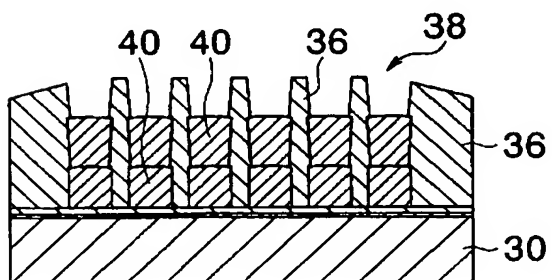
【図 3 j】



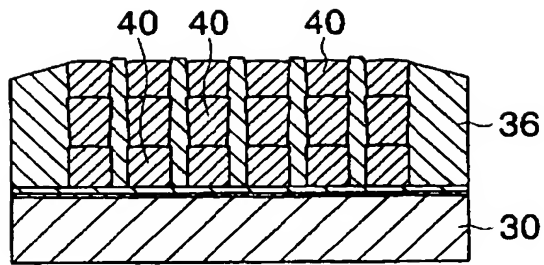
【図 3 k】



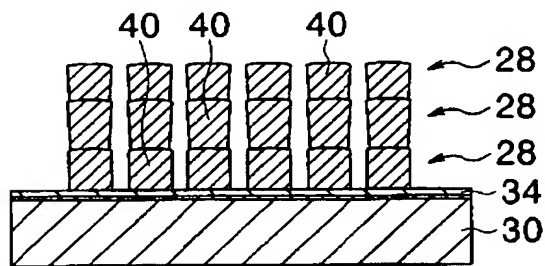
【図 3 l】



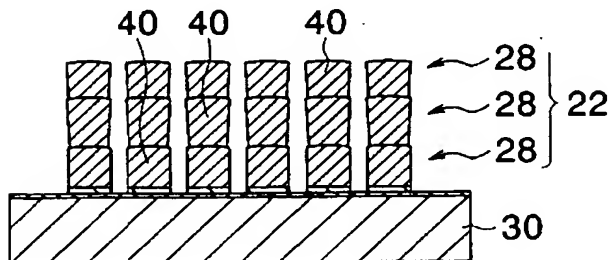
【図 3 m】



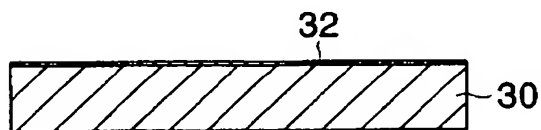
【図 3 n】



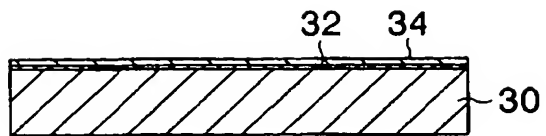
【図 3 o】



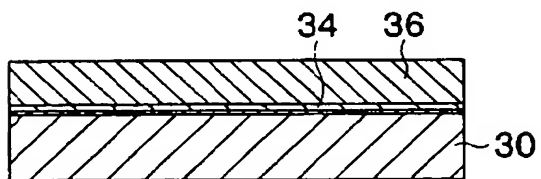
【図 4 a】



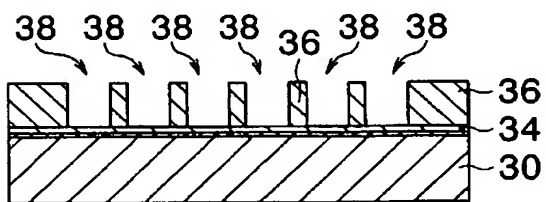
【図 4 b】



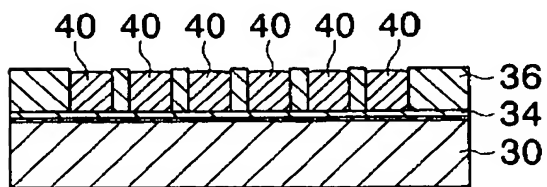
【図 4 c】



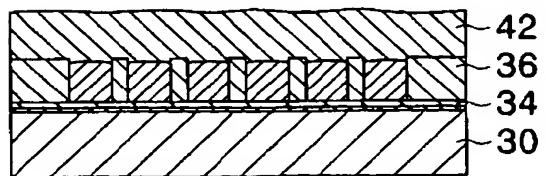
【図 4 d】



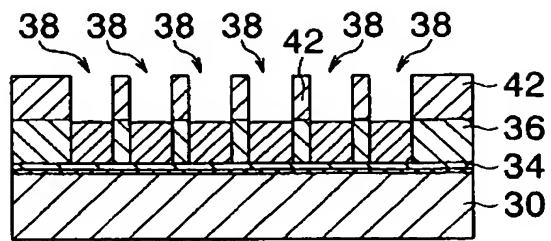
【図 4 e】



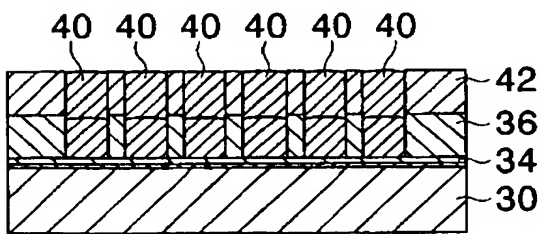
【図 4 f】



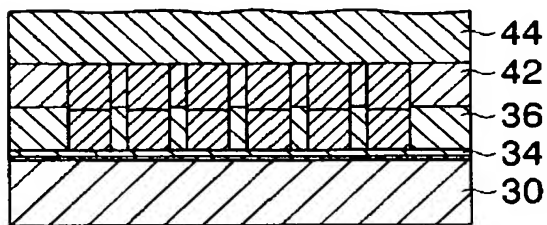
【図 4 g】



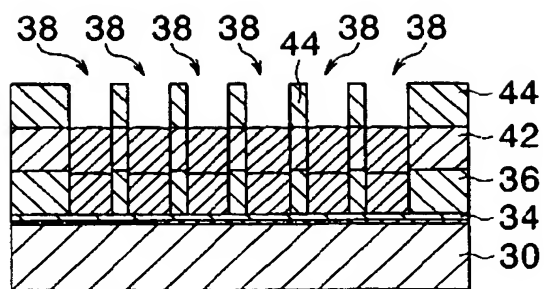
【図 4 h】



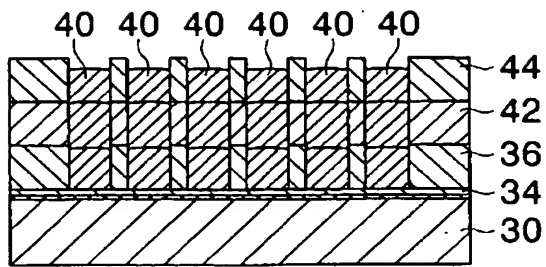
【図 4 i】



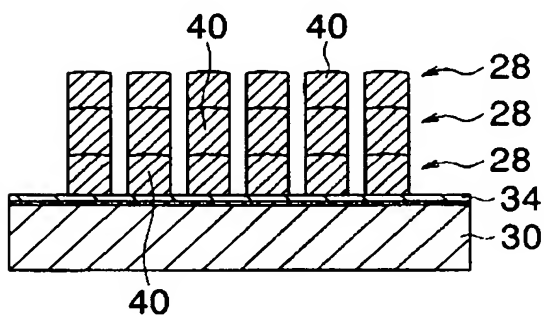
【図 4 j】



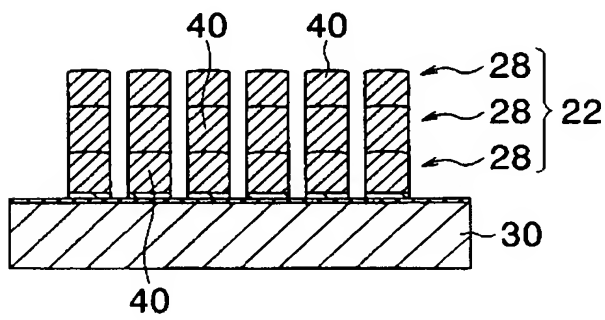
【図 4 k】



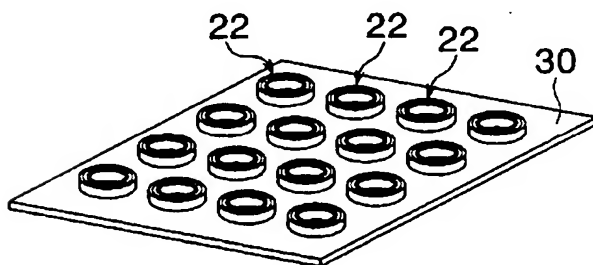
【図 4 l】



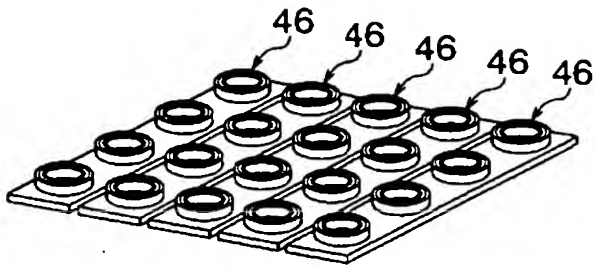
【図 4 m】



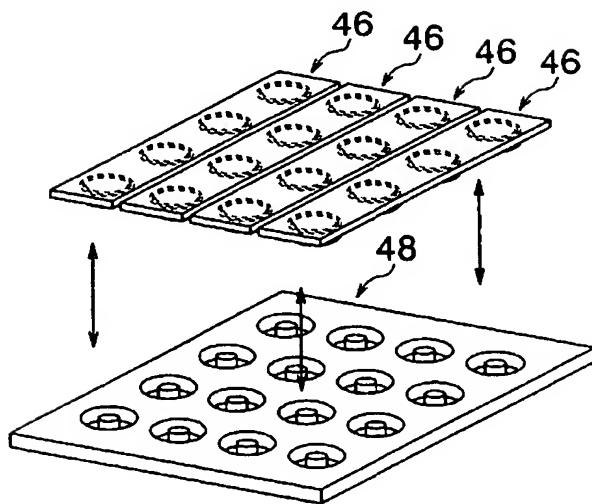
【図 5 a】



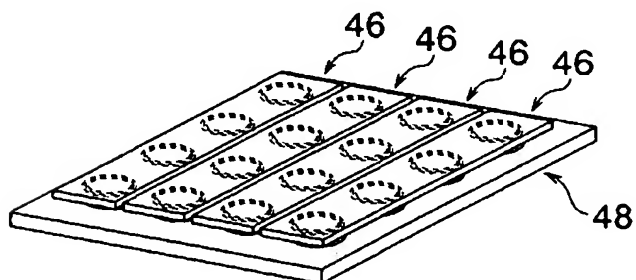
【図 5 b】



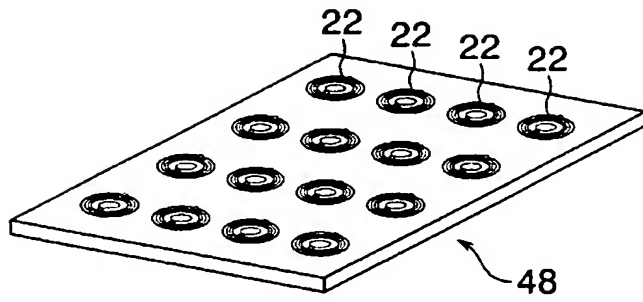
【図 5 c】



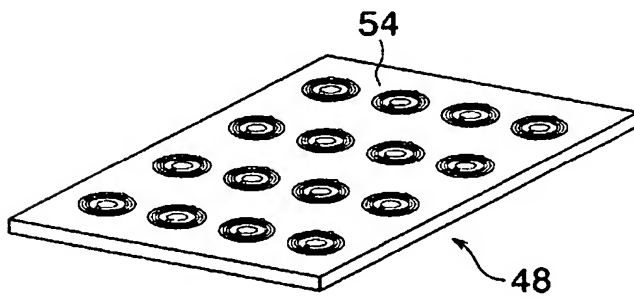
【図 5 d】



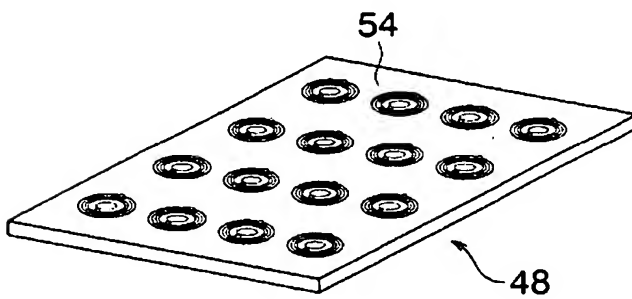
【図 5 e】



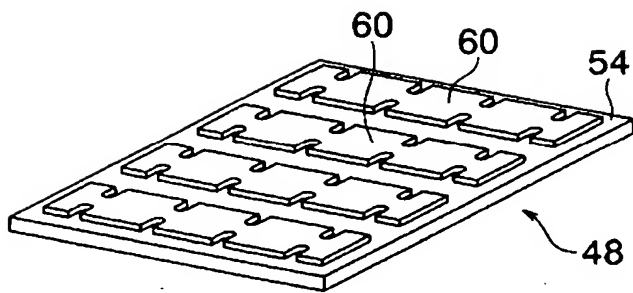
【図 5 f】



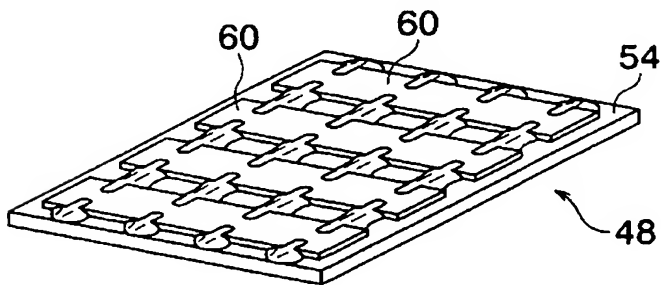
【図 5 g】



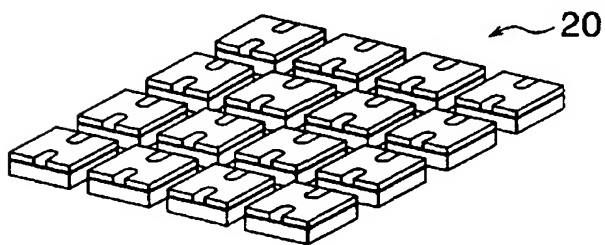
【図 5 h】



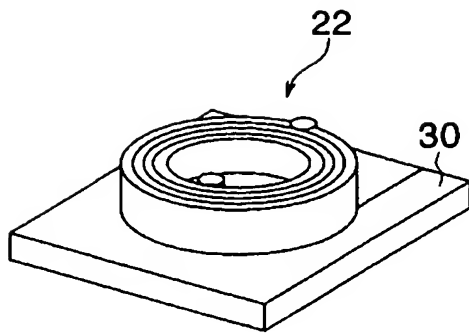
【図 5 i】



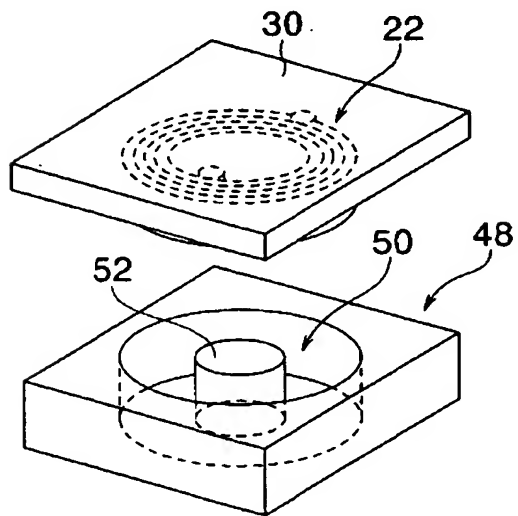
【図 5 j】



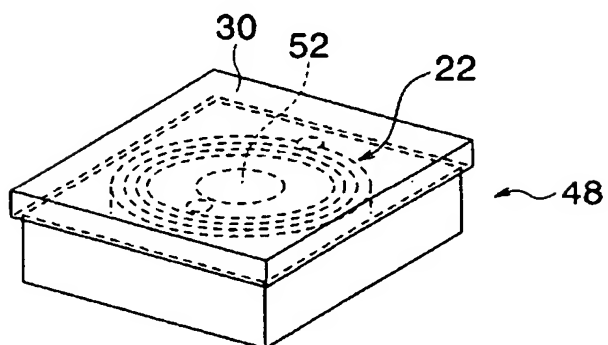
【図 6 a】



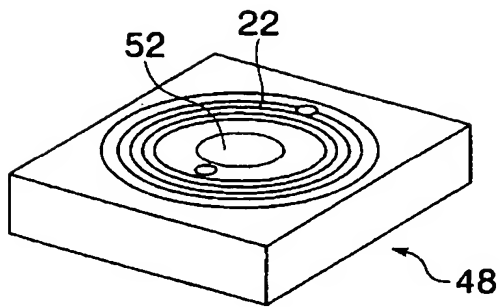
【図 6 b】



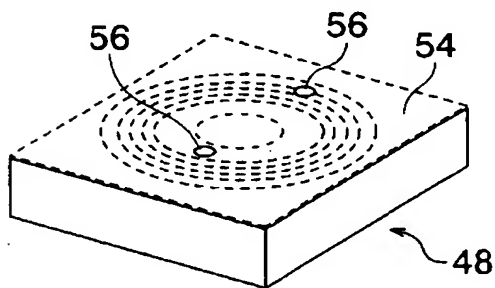
【図 6 c】



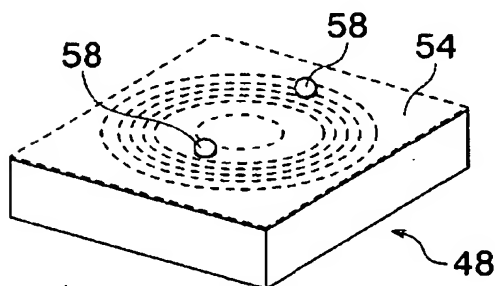
【図 6 d】



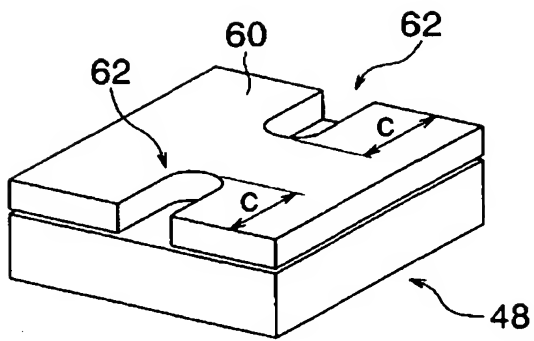
【図 6 e】



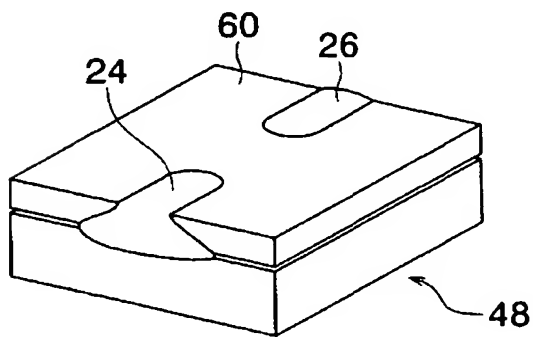
【図 6 f】



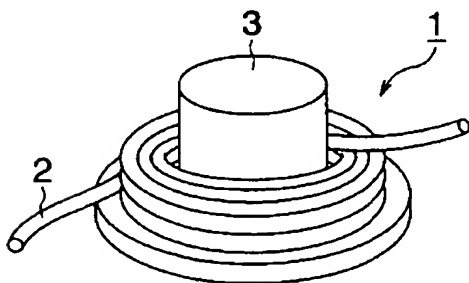
【図 6 g】



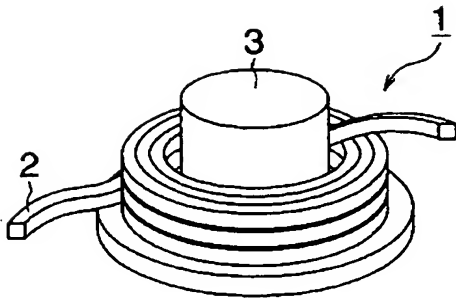
【図 6 h】



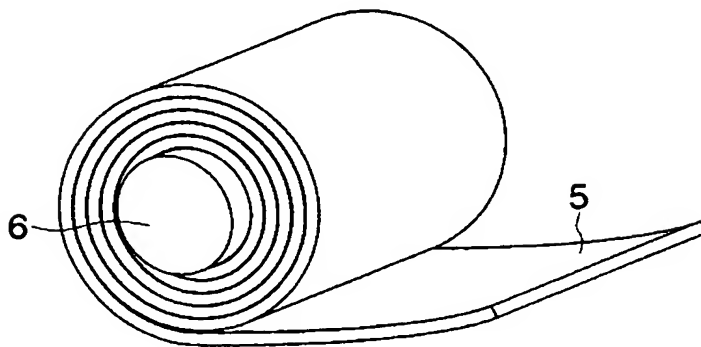
【図 7 a】



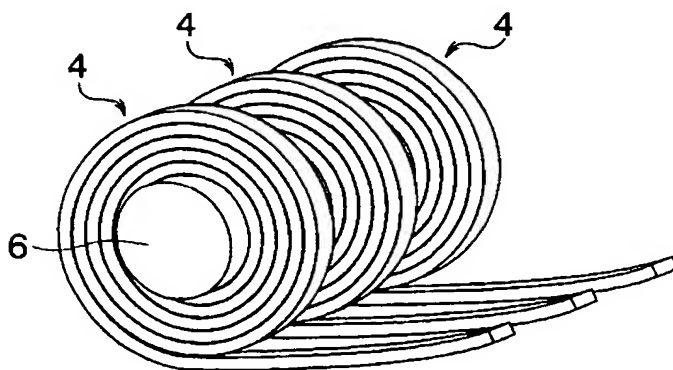
【図 7 b】



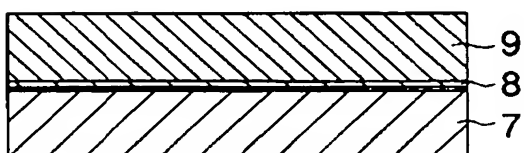
【図 8 a】



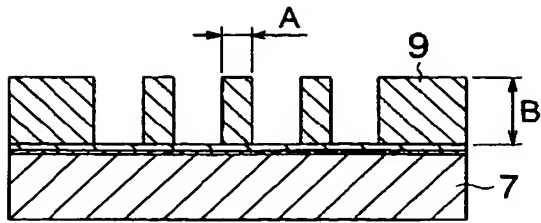
【図 8 b】



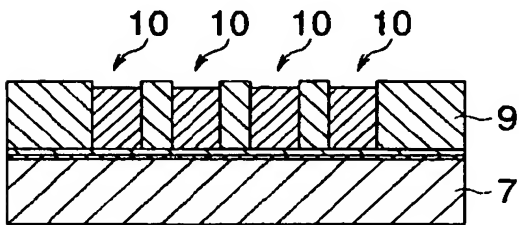
【図 9 a】



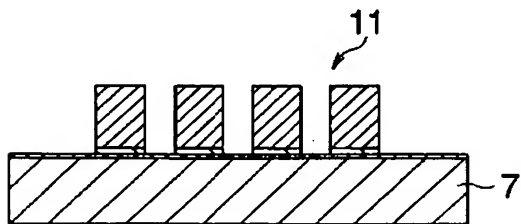
【図 9 b】



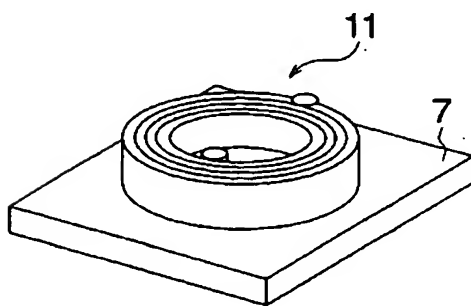
【図 9 c】



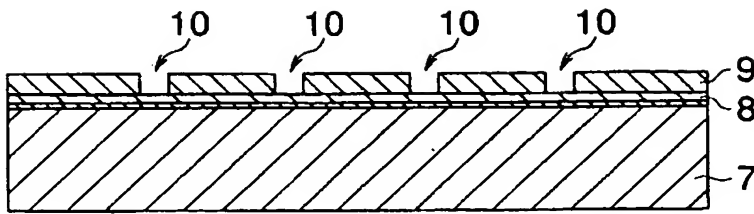
【図 9 d】



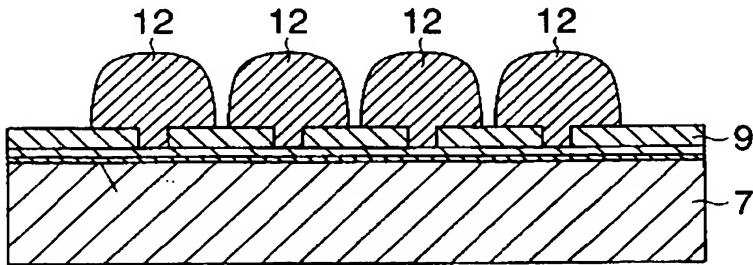
【図 10】



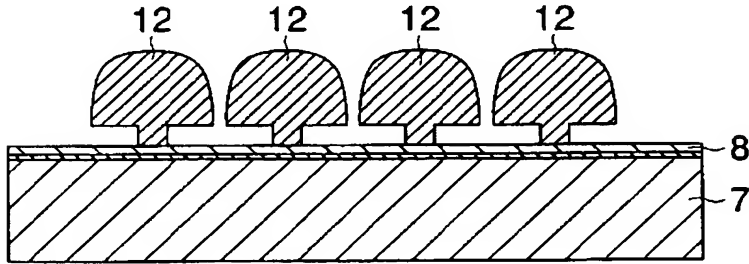
【図 11 a】



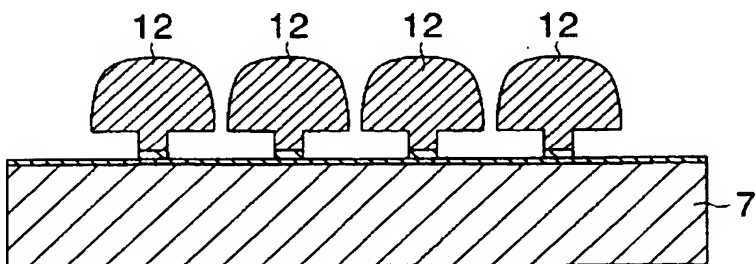
【図 11 b】



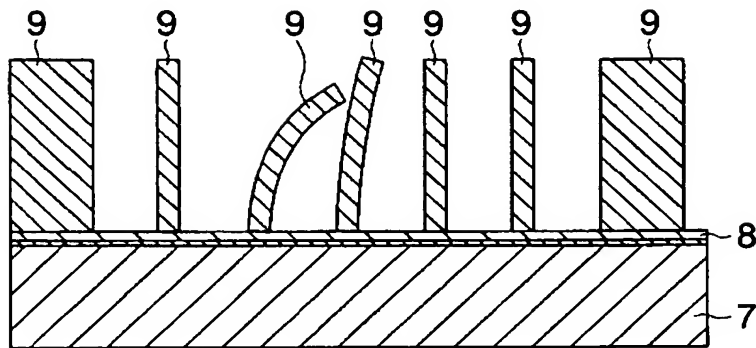
【図 11 c】



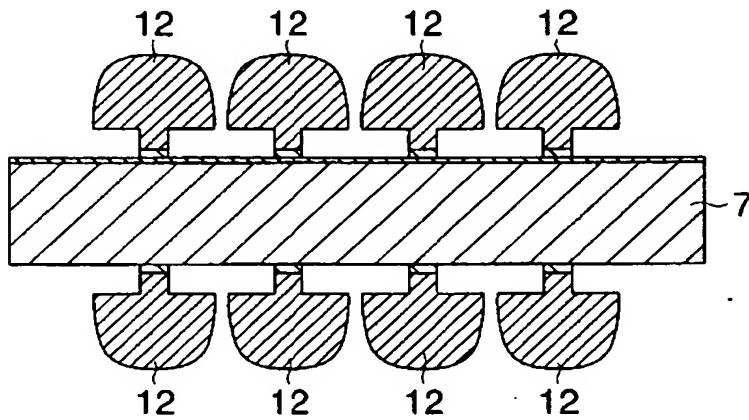
【図 11 d】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 高アスペクト比と小型化とを達成することができる高密度インダクタおよびその製造方法を提供する。

【解決手段】 渦巻形状からなるコイルを形成した後、このコイルをコア部材内に封止するとともに、前記コイルへの導通をなす端子電極を前記コア部材の外側に形成するようにした高密度インダクタの製造方法である。ここで前記コイルの形成は、薄膜形成プロセスによって配線層を形成した後、当該配線層の上層に前記薄膜形成プロセスによって新たな配線層を形成し、これら配線層の積み重ねを繰り返すことで行うようにした。このような製造方法を用いれば、アスペクト比の高いコイルを形成することが可能になる。さらにこのコイルだけをコア部材の内部に収めるようにしたのでインダクタ自体の小型化が達成できる。

【選択図】 図 1 b

認定・付加情報

特許出願の番号	特願 2003-043829
受付番号	50300279448
書類名	特許願
担当官	小野寺 光子 1721
作成日	平成15年 2月25日

<認定情報・付加情報>

【提出日】	平成15年 2月21日
-------	-------------

次頁無

特願 2 0 0 3 - 0 4 3 8 2 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 6 7]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 3 0 日
新規登録

住 所
氏 名

東京都中央区日本橋 1 丁目 1 3 番 1 号
ティーディーケー株式会社

2. 変更年月日
[変更理由]

2 0 0 3 年 6 月 2 7 日
名称変更

住 所
氏 名

東京都中央区日本橋 1 丁目 1 3 番 1 号
T D K 株式会社